

Design of GNSS Bus Communication Interface Based on FPGA and DSP

Wei Deng¹ Hao Ren² Zhenyu Zhong¹ Xiulin Hou¹

1. Beijing Aerospace Wanyuan Science&Technology Co., Ltd., Beijing, 100176, China

2. China Academy of Launch Vehicle Technology, Beijing, 100176, China

Abstract

GNSS receiver is a device used to receive global satellite positioning system signals. In order to solve satellite signals faster and more accurately, it is necessary to incorporate efficient data communication methods into the receiver. Based on this, the current data communication method is based on EMIF bus and dual port RAM. EMIF bus is a high-speed data communication bus that can achieve high-speed data transmission. Meanwhile, dual port RAM can simultaneously perform read and write operations. This data communication method can improve the data interaction ability between the baseband and positioning solution module, solving the problem of slow reading and writing of traditional registers and inability to read and write simultaneously with single port RAM. In addition, using EDMA can improve the ability of DSP to process multi-channel satellite data and reduce the cost of DSP selection. Based on this, the paper mainly discusses and analyzes the design of GNSS bus communication interface based on FPGA and DSP.

Keywords

bus communication; FPGA; DSP; GNSS

基于 FPGA 和 DSP 的 GNSS 总线通信接口设计研究

邓伟¹ 任浩² 钟振宇¹ 侯秀林¹

1. 北京航天万源科技有限公司, 中国·北京 100176

2. 中国运载火箭技术研究院, 中国·北京 100176

摘要

GNSS接收机是一种用于接收全球卫星定位系统信号的设备。为了能够更快、更准确地解算卫星信号,需要在接收机中加入高效的数据通信方式。基于此,现在采用的数据通信方式基于EMIF总线和双口RAM。EMIF总线是一种高速数据通信总线,它可以实现高速数据传输。同时,双口RAM可以同时实现读和写操作。这种数据通信方式可以提高基带与定位解算模块的数据交互能力,解决传统寄存器读写过慢和单口RAM读写不能同时的问题。此外,采用EDMA方式,可以提高DSP处理多通道卫星数据的能力,降低DSP选型的成本。基于此,论文主要针对基于FPGA与DSP的GNSS总线通信接口设计展开相关探讨分析。

关键词

总线通信; FPGA; DSP; GNSS

1 引言

设备之间通信的难点在于不同总线结构、通信协议及传输特点之间各不相同。这种差异性导致了设备间信息交互的困难与挑战,让工程师们面临了前所未有的挑战。为了解决这个问题,急需在不同种类的数据总线间设置转换系统。这样的转换系统可以实现不同总线之间的信息交互,使得工程师们可以更加轻松地进行设备间信息交互。然而,传统的解决方法是利用PC机插入1553B和CAN的PCI板卡等来解决通信问题。这种方法不仅成本高,而且自行开发难度大、

周期长,对于现代工业控制系统来说并不是最优解。

2 总线通信概述

2.1 通信方法

高性能卫星导航接收机核心部分是导航板卡,它是卫星导航系统的重要组成部分。导航板卡核心组成包括基带处理和定位解算两部分。基带处理模块核心器件通常采用FPGA,它具有高速处理能力和灵活可编程性,可以实现复杂的算法和协议。定位解算模块采用的CPU通常为DSP或ARM,这些处理器能够实现高效的数字信号处理和算法计算。在导航板卡中,基带处理模块和定位解算模块需要进行通信,主要有两种方式。第一种通信方法是CPU通过总线访问FPGA中寄存器的方式。FPGA中的寄存器包含了基带

【作者简介】邓伟(1984-),男,中国湖北孝感人,硕士,高级工程师,从事嵌入式测控技术研究。

处理模块的处理结果，CPU 可以通过读取寄存器的方式获得处理结果，然后进行解算。第二种通信方法是 CPU 通过总线访问基带单个 RAM 中数据的方式。这种通信方式可以实现对基带数据的直接读取和操作，提高了处理效率。

图 1 为 CPU 经由总线以及 FPGA 的内部寄存器的读取与写入的结构，分别在 FPGA 中定义有用于储存各信道的卫星追踪数据的寄存器以及用于储存各信道追踪参数的寄存器，每个寄存器都有一个地址。CPU 与 FPGA 的地址解码逻辑连接在一起，CPU 给出的每个地址，对应一个寄存器位置，FPGA 把相应位置的寄存器位置传输到数据总线上；随后，CPU 拿走了这些数据。在 CPU 要把数据传输到 FPGA 时，CPU 先把地址和数据传输给总线，然后由 FPGA 把这些数据写入相应的总线地址的寄存器。CPU 对单一 RAM 的存取方法，即在 FPGA 内定义一块更大的 RAM，再经地址及总线与 CPU 相连，而不是以图形形式显示。

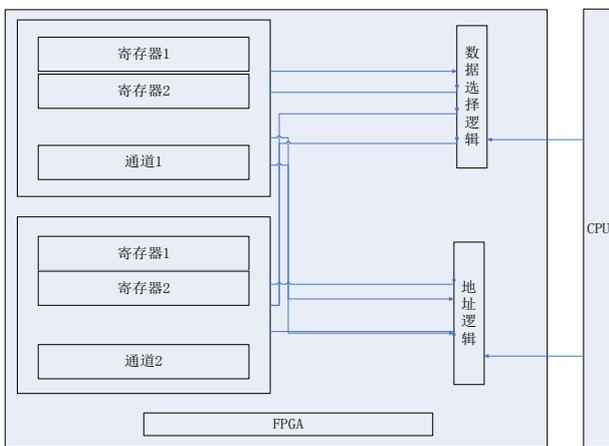


图 1 CPU 直接访问 FPGA 寄存器方案

2.2 方案分析

在第一种方法中，FPGA 将卫星数据定时地锁定在一系列的寄存器上，再由 CPU 进行总线读取和写入。但是采用了 FPGA 的时钟来实现对总线的数据的实时更新，使得系统的通信效率非常低下，通常最高的传输速度仅为数十 MHz。另外，如果把全部的卫星通道寄存器都用一个数据选择器与地址逻辑相连接，那么 FPGA 中的布线扇入扇出就会增大，从而对 FPGA 中综合布线的成功率产生一定的影响^[1]。

第二种方案采用单一随机存取存储器作为总线和基带间的数据缓冲区，其缺点有：①当 FPGA 内连线时，造成随机存取存储器的扇入量过大；②常规的单口随机存取存储器仅具有一组数据位址，无法在同一时间内进行读取和写入操作。③FPGA 要花很久才能把全部信道的信息全部写进一个 RAM，这会使通讯时的总线利用率下降，如果信道够多，则无法达到对卫星追踪的要求的实时性。假如采用 CPU，可以直接通过总线与基带进行互动，那么会产生大量的地址、控制、读写等信号，这会消耗 CPU 处理卫星通道数据

的时间。在信道数量充足的情况下，普通的 CPU 处理器将不能满足时序的要求。

3 通信接口设计

3.1 总线系统结构

从图 2 中可以看出，该系统中使用了 DSP 作为卫星定位解算模块，使用了 FPGA 作为卫星基带处理模块，FPGA 与 DSP 之间利用 EMIF 总线进行了双向的数据传输。FPGA 把采集到的卫星数据写入 N 个双口 RAM，每次写入都会向 DSP 发出一个中断，由 DSP 用 EMDMA 方法进行读出。与此同时，DSP 将解析后的回路参数值用总线写入 N 个双口 RAM，每次写完都会向 FPGA 发送一次中断，FPGA 会把 N 个双口 RAM 中的数据拿出来，用来调节各个卫星信道的参数值；确保能很好地追踪到卫星的信号。

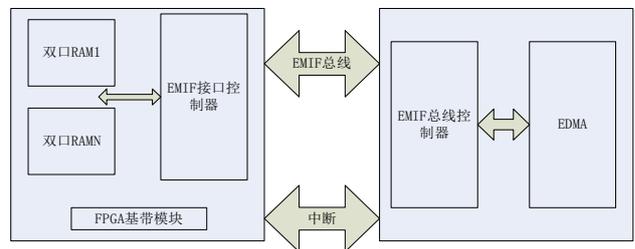


图 2 基于 EMIF 与双口 RAM 的总线通信系统

3.2 数据传送机制

在基带卫星通信系统中，双口 RAM 是一个常用的存储器件，用于存储来自卫星的数据。然而，在选择双口 RAM 时，需要考虑一些因素。首先，需要考虑每个通道一次更新的数据总量以及 FPGA 布线的扇入扇出大小。这将决定需要多少个双口 RAM。一般来说，需要将数据量按照 $(V+W)/N$ 来设计，其中 N、V 和 W 决定了 RAM 的位宽和深度。其次，当 N 为 1 时，FPGA 中 RAM 模块的布线的扇入最大，但这不利于时序约束^[2]。因此，需要在 N 的选择中进行权衡。最后，如果通道 C 很大，数据量 V 值很高，写入的时间可能无法满足需求。因此，需要考虑增加 RAM 的数量或者使用更快的存储器件来满足需求。

为了实现高速传输数据，提出了以下方案。首先，将 FPGA 中的每个双口 RAM 分成了两个存储区域：存储区一和存储区二。其次，DSP 通过 EMIF 接口向存储区一中写入数据，而 FPGA 则从该区域读取数据。同时，FPGA 向存储区二中写入数据，DSP 通过 EMIF 接口从该区域读取数据。这个方案的优势在于，存储区域的大小和地址是根据传输方式和数据量来确定的。因此，在不同的传输情况下，我们可以灵活地调整存储区域的大小和地址。同时，DSP 和 FPGA 每次访问的存储区域也是预先设定好的，这样可以保证数据传输的精确性和高效性。需要注意的是，这个方案的实现需要一定的技术和硬件支持。例如，需要对 EMIF 接口进行适当的配置，以确保数据的正确传输和处理，同时 FPGA 中

的双口 RAM 也需要进行适当的设置,以确存储区域的大小和地址符合要求。

其中,基带 FPGA 部分,通过对卫星的捕获、跟踪,计算出每个信道的同相支路(P-支)、正交支路(I-支路)的相干积分值以及码周计数,并将其写入 N 个双端口 RAM 的 2 个存储器中。在数据写入完毕之后, FPGA 发出一中断要求,告知 DSP,可以从 N 个双端口 RAM 中取出存储区 2 内的数据。一条 EMIF 总线上的地址线,一条与一条双端口随机存取存储器中的地址线相连,另一条则与 FPGA 内的随机存取存储器的片选逻辑相连;采用逻辑结合的方法,按顺序对各内存块进行片选。DSP 处理读来的基带数据,将计算出的载波偏移量和码片偏移量等数据,经 DSP 中 EDMA 控制器发送到 EMIF 总线,并写入 N 个双口 RAM 存储区域^[3]。在完成了数据写入之后,由 FPGA 以一个中断的方式将数据写入完成,然后由 FPGA 利用其内部的读取逻辑将该数据从存储区 1 中取出。为了更好地捕捉或追踪卫星讯号, FPGA 利用所读 RAM 数据,对 C 卫星信道之载频控制字及代码频率控制字进行解调。

3.3 软件设计

在软件方面,以 DSP、FPGA 为核心,完成各模块的功能为核心与整个系统的工作。利用 VerilogHDL 软件对 FPGA 进行程序编写,并利用自上而下的思想实现了 FPGA 的可移植性。TMS320C6455 是在 DSP/BIOS 的支持下,利用 C 语言实现的。

①系统初始化:主要对 TMS320C6455, SJA1000, BU-61580 进行了初步的参数设置,并对各个芯片进行操作方式的设置。其中, TMS320C6455 的初始化部分包含了 EMIFA 端口初始化,时钟初始化,通用 I/O 端口初始化等内容。SJA1000 初始化时,首先要实现的是分频器,中断寄存器,滤波模式;如验收代码,掩码,波特率,以及出口控制。初始化 BU-61580,实现了对总注册、信道注册等功能。

②数据接收:在 BIOS OS 下, TMS320C6455 的接受程序以硬件中断来对各个功能模组进行回应,以回应各个功能模组对接收数据的要求。当该系统通电时,第一次呼叫该系统的初始化模块,并在出现一个断开的要求时,该系统就会进入一个闲置的等待模式;按照所设置的硬件中断的优先级别,每个人都可以进入对应的中断程序,在该中断程序中读入数据并进行数据格式的变换,之后按照需要将所收到的数据经由千兆以太网传送到计算机。

③发送程序:由 TMS320C6455 对 PC 从 Gigabit Ethernet 传输来的数据或者命令信息进行分析,然后由 FPGA 传输

给 CAN 或者 1553B 的界面组件。

3.4 EMIF 与 RAM 连接设计

EMIF 资料总线 E_DATA 经由一资料选择器,与 N 个双口随机存取记忆体资料汇流埠 DIA 及资料汇流埠 DOA 相连,并以 SOE 讯号来决定是否要写入或读取双口随机存取记忆体。EMIF 的地址总线 E_ADDR 分成上下两段,上层(22:13)地址线和 RAM 的片选模块相连,用组合逻辑来决定哪个两个端口 RAM 与 EMIF 进行信息交换。下级 12:0 地址线与地址线 ADDRRA 相联结,以存取 RAM 中所有记忆体的记忆体。该 EMIF 界面之时钟讯号 E_CLKOUT1,系于该二端口随机存取记忆体之时钟讯号管脚,用以控制 DSP 对随机存取记忆体之读取与写入速率。萨德, WE, CE; BE 信号通过 FPGA 中的组合逻辑,①对 RAM 的片选逻辑进行控制。②将其连接到双口 RAM 中的 WEA 上,从而控制 DSP 对 FPGA 中的双口 RAM 进行读取和写入^[4]。与此同时, FPGA 内部的读写逻辑与双口 RAM 的接口 B 连接, FPGA 中捕捉跟踪的卫星通道数据寄存器与 B 口的数据选线相连接,也可以用一个选择器来控制 FPGA 是写还是读 RAM, FPGA 访问 RAM 的速度由其内部时钟信号来控制。这样, DSP 与 FPGA 实现了两个端口随机存取存储器的工作时钟是彼此独立的,并且在读取与写入过程中不会发生干涉。

4 结语

论文设计了一种以 EMIF 总线和多个双口 RAM 为基础的异步数据通信接口,这样就可以增强基带 FPGA 与后端处理模块 DSP 的数据交互能力,从而可以有效地解决传统寄存器读写过慢问题以及单口 RAM 不能同时读写的问题。采用多种 RAM 相结合的方法,降低了 FPGA 对 RAM 进行读取和写入的速度,从而增加了 FPGA 对 RAM 进行合成的成功率。EDMA 控制方式减少了 DSP 与 FPGA 在进行数据交互时的占地面积,使 DSP 有更多的时间来完成更多通道的卫星定位解算,从而降低了 DSP 的选择要求。该方法在高精密定位板上得到了有效的使用,并取得了较好的效果。

参考文献

- [1] 刁彦华,贾宝青,王晓君.FPGA与ARM的GPMC总线通信接口设计[J].单片机与嵌入式系统应用,2017,17(3):47-50.
- [2] 苏红,赵春海,刘文涛.基于DSP和FPGA的多总线通信接口设计[J].战术导弹技术,2012(5):99-102.
- [3] 尹志生,郑楠,崔洋,等.基于FPGA的VME总线与DSP通信接口设计[J].现代电子技术,2012,35(17):8-11.
- [4] 徐木水,刘金国.基于FPGA的CAN总线通信接口的设计[J].电子设计工程,2010,18(10):96-99.