 DOI: https://doi.org/10.12349/iser.v5i9.3284

# A Symbol Bit Processing Method in a Storage Computing Integrated Chip

**Li Ai**

AistarTek (Hangzhou) Microelectronics Technology Co., Ltd., Hangzhou, Zhejiang, 310000, China

**Abstract**

This paper presents a sign-bit processing method of binary multiplier and adder, which can be applied to the computing in-memory integrated chip. By designing a full adder which is compatible with both signed and unsigned bits, and applying it to binary adder tree of the highest full adder in each level of the adder tree, thus achieving the compatible operation of binary signed and unsigned bits of adder tree. Through time division multiplexing of adder tree and combining with the accumulator, the sign-bit processing of 8bit binary multiplication and addition operation can be realized. The correctness and feasibility of the proposed method are verified by simulation. The circuit designed by this method is not only simple in structure, but also can greatly save chip area and power consumption.

**Keywords**

binary multiplier adder; symbol bit processing; adder tree; time-division multiplexing; full adder

# 一种存算一体芯片中的符号位处理方法

艾力

杭州智芯科微电子科技有限公司，中国 · 浙江 杭州 310000

**摘　要**

论文提出了一种二进制乘加器的符号位处理方法，可应用于存算一体芯片中。通过设计出一种符号位与无符号位兼容的全加器，并应用于二进制加法器树中，将加法器树各级中的最高位全加器替换成本设计提出来的全加器，从而实现了加法器树的二进制有符号位和无符号位的兼容运算。通过对加法器树的时分复用，并结合累加器，可实现8bit二进制乘加运算的符号位处理。通过仿真验证了该方法的正确性和可行性。该方法设计出的电路不仅结构简单，而且可以大大节省芯片面积和功耗。

**关键词**

二进制乘加器；符号位处理；加法器树；时分复用；全加器

## 1 引言

近年来 AI 人工智能 [1] 呈现蓬勃发展的态势，随着 AI 应用场景的越来越广泛，大模型应用对算力的需求越来越高，对功耗的要求也越来越高，存算一体芯片 [2] 不仅可以满足大算力的需求，还可以节省功耗提高能效比。

存算一体芯片在进行有符号位的 8bit 二进制乘加运算时，其符号位的处理是很关键的一项技术。我们之前有设计单 bit 的 adder tree[3]，符号位通过单 bit tree 和累加器可以轻松处理，但这种方法占用的周期数太多而难以提高算力，且能效比不是最优的。通过仿真尝试，发现 4bit tree 的效率是最高的，于是我们将单 bit tree 换成 4bit tree。很快，我们发现 4bit tree 的符号位如何处理，是一个棘手的难题。论文针对以上技术难题，提出了一种符号位处理方法，可以很好地解决上述难题，并且能节省芯片面积和功耗，提高算力和能效比。

【作者简介】艾力（1989–），男，中国湖北咸宁人，本科，工程师，从事集成电路设计研究

## 2 符号位全加器设计

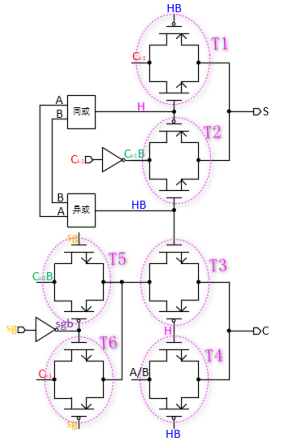
论文提出的符号位全加器 [4] 电路如图 1（a）所示，由六个传输门，一个同或门、一个异或门以及两个反相器共同组成，通过引入符号位控制信号 sg，其不仅能实现传统全加器的功能，还能实现符号位运算的功能，图 1（b）为该加法器的逻辑真值表。该电路的功能如下：

当两个输入信号 A 和 B 相同时，同或门输出 H 为高，异或门输出 HB 为低，则 T1 和 T4 导通，T2 和 T3 关断，求和输出 S 等于，进位输出 C 等于 A 或 B。此时，S 和 C 的输出结果与符号位 sg 无关。

当两个输入信号 A 和 B 不同时，同或门输出 H 为低，异或门输出 HB 为高，则 T1 和 T4 关断，T2 和 T3 导通，

求和输出 S 等于的反相，即，而进位输出 C 则与符号控制位 sg 有关了。若此时 sg=0，则 T5 断开，T6 导通，进位输出 C 等于，该逻辑实现的是无符号位的全加器运算。若此时 sg=1，则 T5 导通，T6 断开，进位输出 C 等于的反相，即，该逻辑实现的是有符号位的全加器运算。

通过配置符号控制位 sg 信号，可以实现该加法器是否进行有符号位运算，用一个简单的电路实现了有符号位和无符号位全加运算的兼容。




（a）符号位全加器电路图

| sg=0, 无符号位运算 | | |
|---|---|---|
| AB同或=H | 求和 | 进位 |
| 1 | $C_{i-1}$ | A/B |
| 0 | $\overline{C_{i-1}}$ | $C_{i-1}$ |
| sg=1, 有符号位运算 | | |
| AB同或=H | 求和 | 进位 |
| 1 | $C_{i-1}$ | A/B |
| 0 | $\overline{C_{i-1}}$ | $\overline{C_{i-1}}$ |

（b）符号位全加器逻辑真值表

图 1 符号位加法器电路图

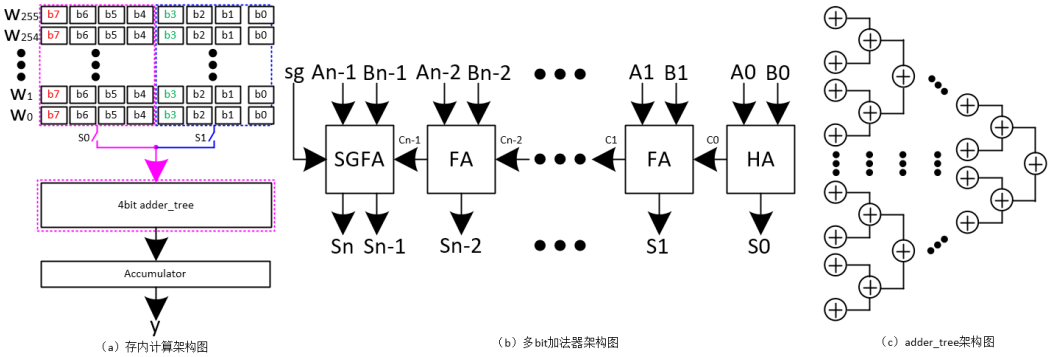
## 3 加法器树电路设计及符号位处理

对于 8bit 二进制乘加器，将权重数据拆分成 2 个 4bit[5]，分别依次与输入数据的 8 个 bit 相乘，每次得到一个 4bit 的乘法输出结果，由此可见，权重数据是需要被复用的，且每个 4bit 被复用 8 次，一个权重数据则需要被复用 16 次，一共需要 16 个周期才能完成两个 8bit 数的乘法运算。存算一体芯片通常由很多组这样的数据相乘以后再相加，如图 2（a）所示有 256 组权重数据与输入数据相乘。所有乘法的结果都被送到 4bit 加法器树，进行相加以后输出二进制的结果。这里的加法器树每次运算需要被复用 16 次，如果是进行有符号位的运算，则权重的高 4 位是带符号位的，而低 4 位是无符号位的，这就要求 4bit 加法器树需要兼容有符号位和无符号位的运算。用所提出的符号位全加器可以实现这一功能。

所设计的多 bit 全加器如图 2（b）所示，低位的数值运算采用传统的 HA 和 FA，最高位采用提出的符号位全加器 SGFA，低位段的各级进位输出结果被当作下一级的一个输入信号。Nbit 加法器需要 1 个 HA，n-2 个 FA，以及一个 SGFA。当乘法运算用到权重的高 4 位时，将 sg 设置为 1，对应的多 bit 加法器进行有符号位运算，当乘法运算用到权重的低 4 位时，将 sg 设置为 0，对应的多 bit 加法器进行无符号位运算，按照这样的需求产生 sg 控制信号，从而实现了多 bit 加法器有符号位和无符号位的兼容运算。

加法器树的架构图如图 2（c）所示，采用两两相加输出到下一级的架构，每加一级加法器的个数就少一半，直到算出最终的加法结果为止。为了实现符号位的处理，加法器树中各级多 bit 加法器的最高位都需要采用 SGFA，如此才能实现整个加法器树的有符号位和无符号位的兼容运算。

存内计算的架构中，4bit adder_tree 的输出结果会输入累加器进行移位累加，累加器输出最终的二进制乘加运算结果。整个运算机制中，因为采用了 SGFA，每一步都有符号位的运算处理，最终才能得出正确的计算结果。




（a）存内计算架构图　（b）多bit加法器架构图　（c）adder_tree架构图

图 2 存内计算多 bit adder_tree 架构示意图

## 4 仿真结果分析

用 TSMC22n 工艺模型，对符号位全加器电路以及存算一体电路进行 spectre 仿真，以验证电路功能和设计方法是否正常。

符号位全加器仿真波形如图 3 所示，其输入数据 A、B 和 CI 的各种组合都已经覆盖到，当 sg=0 时，求和输出以及进位输出的结果都正确，与理论分析的逻辑真值表一致，实现了无符号位全加器运算的功能。当 sg=1 时，求和输出以及进位输出的结果也都正确，与理论分析的逻辑真值表也一致，因此也实现了有符号位的全加器运算功能。

论文所设计的存算一体芯片 MAC 数为 256×32，其中每个 channel 为 256 个 MAC，共有 32 个 channel，每个 channel 的电路都是一样的。整体 top 仿真耗时非常大，为了节省时间，仅仿真 1 个 channel 来评估功能和性能。输

入数据 XIN 全部为十进制 85，weight 数据有一半为十进制 85，另一半为十进制-86。根据这些输入的 XIN 和 weight 数据，可以理论推算出来运算结果为 -10880。图 4 的仿真结果与理论推导一致，且中间各级信号，如乘法的输出结果，加法器树各级的输出结果，以及加法器树最终输出的 12bit 结果都是正确的。最后还进行了芯片 corner 的仿真，各 corner 下的计算结果都正确，功能都正常。说明所提出的符号位处理方法是正确可行的。

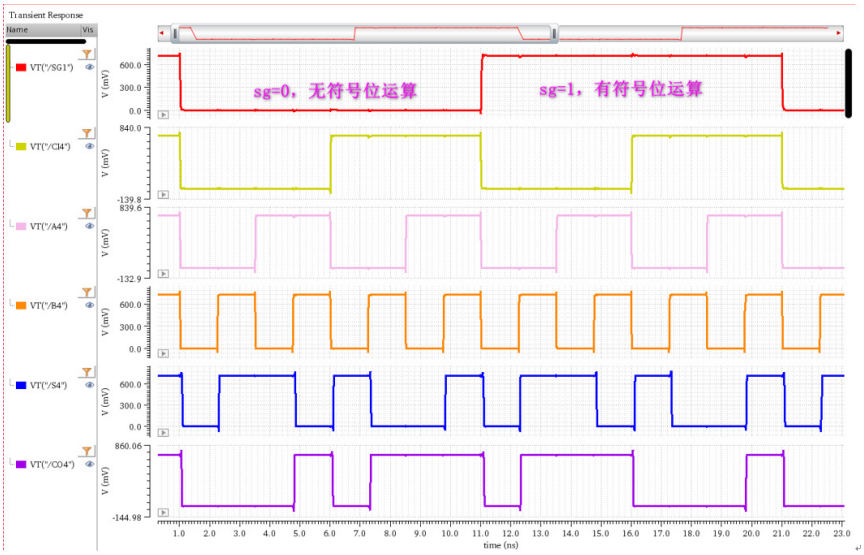



图 3 符号位全加器仿真波形

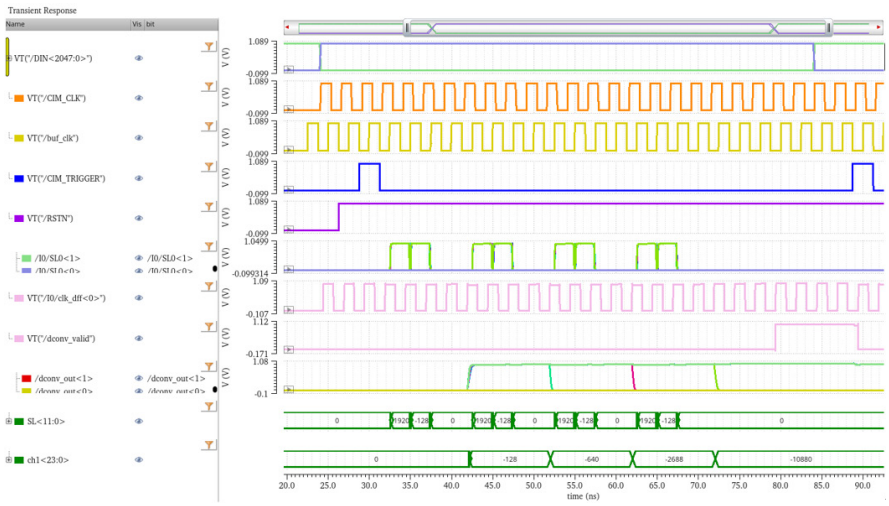



图 4 存算一体电路仿真波形

## 5 结语

论文提出了一种存算一体芯片中的符号位处理方法，用同或门、异或门、反相器以及传输门开关等这些基本的逻辑单元设计出符号位全加器，并将该全加器应用于存算一体的加法器树中，实现了 8bit 二进制有符号位和无符号位的兼容运算。与现有的技术方案相比，不仅符号位处理更简单，使用的 FA 更少，面积更小，而且系统的灵活性更高。并对所提出的方案进行了 Spectre 仿真，结果表明，不论是有符号位还是无符号位的乘加运算，其结果都是正确的，而且功耗比现有的有符号位运算方案的更小。

## 参考文献

[1] 俞昊,王子欣.面向计算机视觉的AI人工智能算法在图像数据库中的应用分析[J].中文科技期刊数据库(文摘版)工程技术,2024(3):8-10.

[2] 陆春帆,刘爽,周洲.存算一体芯片发展现状、趋势与挑战[J].中国科学:信息科学,2024(1):16-24.

[3] 张钟宣,张海清,艾力,等.向量乘加器的SRAM存内计算装置和电子设备.CN115658011B[P].2023.

[4] 索超,姚鹏,李蓉,等.符号位加法电路和二进制有符号数加法电路.CN115202613A[P].2022.

[5] Yu-Der Chih. An 89TOPS/W and 16.3TOPS/mm2 All-Digital SRAM-Based Full-Precision Compute-In Memory Macro in 22nm for Machine-Learning Edge Applications [C]//COMPUTATION IN MEMORY,ISSCC,2021.