Discussion on the Device Matching Method of CMOS Analog Integrated Circuit Layout Design

Lei Wang Zhichao Wang

The 58th Research Institute of China Electronics Technology Group, Wuxi, Jiangsu, 214000, China

Abstract

With the continuous maturity of CMOS technology and large-scale production, sales and use, the performance of electronic products has been greatly improved, and the microelectronics industry has developed rapidly. This means that the traditional manual inspection method can no longer meet the hard requirements of modern communication. At the same time, the modern CMOS process technology is mainly represented by the BJT microelectronic process, which uses CMOS process to produce multilayer micro integrated circuits. The development of semiconductor technology and the technical innovation of integrated circuit design capability also make CMOS analog integrated circuit design gradually advance towards higher resolution, lower power consumption, higher integration and higher performance. Therefore, in order to strengthen the modern research process of analog integrated circuit technology, this paper takes the basic device layout matching design method as the starting point, and focus on the discussion of CMOS integrated circuit layout design examples, in order to provide important reference for the subsequent technical research.

Keywords

CMOS analog integrated circuit; layout design; device matching method

浅谈 CMOS 模拟集成电路版图设计的器件匹配方法

王蕾 王志超

中国电子科技集团第 58 研究所, 中国·江苏 无锡 214000

摘要

随着 CMOS 工艺技术不断成熟并大规模生产销售使用, 电子产品性能大幅提升, 微电子产业快速发展。这也就意味着传统的人工巡检方式已经不能适应现代通信的硬性要求。与此同时, 现代化 CMOS 工艺技术主要以 BJT 为代表的微电子工艺, 采用 CMOS 工艺生产多层叠层微集成电路, 而半导体技术的发展与集成电路设计能力的技术革新, 也让 CMOS 模拟集成电路设计开始向更高分辨率、更低功耗、更高集成度、更高性能的方向逐步推进。因此, 为了加强对模拟集成电路技术的现代化研究进程, 论文以基本器件版图匹配设计方法作为切入点, 重点针对 CMOS 集成电路版图设计实例进行探讨, 以期为后续的技术研究提供重要参考。

关键词

CMOS 模拟集成电路; 版图设计; 器件匹配方法

1 引言

现阶段, 集成电路版图设计是芯片研发和创新能力的一个关键环节。由于集成电路技术的发展, 芯片的体积在不断地减小, 模拟电路的设计变得更加复杂, 新技术的出现, 使得芯片的设计更具多样化, 对工艺参数和缺陷的检测也极为苛刻, 对器件的性能要求也在不断提高。而新技术的顺利实施, 则离不开各种因素的支撑。所以, CMOS 模拟集成电路的版图匹配设计就显得尤为迫切。

2 基本器件版图匹配设计方法

基本器件版图匹配设计方法可以简单地实现高速器件

的匹配设计。版图匹配设计中关键环节之一是设计人员对各种元器件的功能特性不能准确理解或了解得太少。由于电路性能、元器件与器件之间以及器件与网络之间不能正确地表达出来, 从而导致与设计目标的相互冲突, 为了提高设计效率、减少工程风险和降低成本提高精度以及保证功能的有效实现, 下列内容将针对版图匹配设计方法展开多方面研究分析。

2.1 从电路的角度分析器件

在版图匹配设计的过程中, 设计者首先要研究一个基本设计问题: 即设计人员要理解什么是基本单元, 如何描述基本单元, 该单元内部的基本电路结构、相互关系及功能特征。其中, 最主要的任务是确定基本单元。基于这些需求, 设计者需要从电路及其基本单元的角度进行分析, 而这一点很难通过简单的硬件设计完成。设计者必须熟悉各种基本单

【作者简介】王蕾(1984-), 女, 中国江苏无锡人, 本科, 从事集成电路版图设计研究。

元,包括信号处理单元以及输入输出信号网络节点。在基本单元中不仅要考虑输入输出信号,而且还应考虑输入和输出信号之间相互作用的状态和大小以及它们之间具有的相互间相互作用的方向或状态关系。一般地,需要考虑信号链上各节点之间相互作用的方向,如输入端(端)、存储端(端)和网络节点)等。此外,还需考虑网络节点之间相互作用是否存在其他影响信号传输质量和通信性能的影响因素^[1]。在基本单元中,信号与模块之间会产生各种相互间相互作用状态下出现何种作用和如何作用。例如,从高速电路角度分析时可以利用信号对模块和芯片影响程度及传递函数来确定基本单元在某一时钟周期内(时钟周期等于所需时间)对模块和芯片间相互作用状态下影响程度。

2.2 定义版图匹配方法

在实际的电路设计中有很多种方法,主要包括最小化法、最小化矩阵匹配法、最小化梯形匹配法和最小化等值线匹配法等。这些方法在电路设计中往往没有考虑到不同器件之间可能存在的耦合、噪声和互连等。要做到最小化或避免互连就必须采用上述每一种方法中所涉及的各种原理来实现。根据应用场景选择最适合应用于匹配设计的不同应用程序或者算法,可以用最小化矩阵匹配算法进行匹配设计。

2.3 定义基本器件与高速器件的界面特性

当我们确定了基本器件与高速器件之间的匹配关系后,下面是关键的一步:定义基本器件与高速器件交互界面的特性。要实现这种交互界面的物理性能,必须对其进行定义且使其能够准确地表达出来是至关重要的。因为很多情况下,高速器件不能直接用于输入/输出电路(如电阻、电容、电感等)。这时这些基本器件便被设计成了高速器件。定义基本零部件时,必须确定核心零部件或元器件的功能特性。例如,高电平输入电路(如低电压放大器、时钟芯片等)的核心部件通常是一些非常简单而灵活的模块和元件,因为这些模块与高速电路并不在一个平面上;它们之间还必须有一定距离,否则就无法形成一组网络关系。

3 MOS 运放版图设计实例

芯片的尺寸大小决定了芯片的体积大小。与其相对应的是芯片的内部器件的布局。对于芯片内部器件而言,布局不合理会导致芯片的内部结构不合理,因此芯片内部要有足够大的振荡器,从而使得芯片能够在振荡频率与振幅之比时达到最佳效果。

3.1 MOS 运放电路

在 MOS 运放电路中, MOS 结的大小是由输出电压控制的,因此设计 MOS 运放电路要尽量减少输出电压对输出带宽的影响,同时还应尽量减小输入阻抗对输出功率和传输电流的影响。设计 MOS 运放电路需要考虑输出电压和输出电流的变化情况,特别应考虑到 MOS 结内阻抗升高导致输出电压变化大时,其驱动电阻和增益电容升

高导致输出电压变化小时所引起对输出功率的影响。论文设计的集成电路 Ax1 Sense32 采用了一个 8 脚可调电压源 RD8A24FFP8BXA1。该电路用于驱动 MOS 结中一个较大电流源 LNC。通过改变电阻与增益电容来调整输入信号与输出信号之间的电压电流关系^[2]。输出电压(即输入功耗)变化范围为 1~20 mV,根据这个限制指标选择合适的电压源可以获得良好效果。

3.2 驱动电路

为保证 MOS 结内的小电流量,驱动电路采用了恒流电路,即供电电压(V/V 或 V)可以设置为恒定电压(VTE/VTH)。这里选用 VTE 和 VTH 分别为 12 V、24 V 以及 24 V,这两种电源电压在恒定电压源上运行一段时间后将会下降到设定值,这时需要驱动电路的两个端口之间需要加一个直流电阻来将其变成恒定电压(V/V)进行驱动。为了获得较好的效果,需要对驱动电阻和增益电容进行调整设计。恒流电路是在恒定输入电压(VTE)下工作一段时间后改变其供电电压(V/V)来驱动 MOS 结中的大电流源。通过改变增益电容 LNC 和电阻 DC2-200 来实现 MOS 结中大电流源 LNC 和增益元件 DC2-200 的驱动。其中,增益电容 DC2-200 通过改变电阻阻值来改变负载电流大小或变大;增益元件 LNC 通过改变电阻阻值来控制输出电流大小或变大;通过改变增益元件 LNC 的电容值和增益等级来实现对 MOS 结内大电流量源 LNC 和增益元件 DC2-200 的驱动关系。

3.3 电容

电容是电的媒介,可以将电压转换为电流。因此在选用电容的时候要特别注意,特别是选择小容量电容。在文章设计的 MOS 运放电路中,电容设为 $4 \times 4 = 10 \mu\text{F}$,具体方法是在两个 LNC 之间分别放置两个电容,用万用表测量电容 C2 的电容值为 $4 \times 4 = 10 \mu\text{F}$,以得到 $10 \text{ mW} \times 10 \text{ s} \times 1$ 的功率值范围为 $4 \times 4 = 15 \text{ mW} \times 15 \text{ s} \times 1$ 。当需要增加驱动电阻时可以考虑使用 $5 \times 5 = 30 \text{ mW} \times 30 \text{ s} \times 1$ 的电容; $10 \times 5 = 20 \text{ mW} \times 30 \text{ s} \times 1$ 时由于电容是电的媒介,所以也可以根据需求选用 $5 \times 5 = 15 \text{ mW} \times 15 \text{ s} \times 1$ 电容,其中两个电容分别可以增加 100 μF 和 300 μF 。这些电容可以用于降低电阻的阻值从而减小电流对输出功率的影响。 $5 \times 5 = 15 \text{ mW} \times 15 \text{ s} \times 1$ 是通过增加电容得到有效降低电阻阻值从而减小功耗的电阻值。因此,在这个 MOS 运放电路中要尽量选择大容量电容来降低所需电容值。

3.4 芯片设计

采用 SCANSOCK 单片机芯片,可实现功能非常强大的通信、监控、读写、保护等功能。其中主要任务是通过 SCANSOCK 单片机进行工作;同时还可实现对单片机工作参数的检测、分析和控制功能。Ax1 Sense 32 单片机可以通过一个 VCC 地址与 4 个控制通道(分别对应 4 个不同应用程序接口和 3 个控制寄存器)进行通信交换:SCANSOCK 单片机使用 3 个控制通道构成了一个 VCC 地址寄存器(5

个逻辑通道)。系统中所用器件主要包括: 16个逻辑寄存器、4个控制寄存器和1个逻辑寄存器, 在完成芯片设计后需要进行测试与优化以达到最佳性能效果。此外, Axl Sense 32单片机需要满足单片机使用频率、时钟速率、工作信号稳定性等要求, 因此需要测试设备比较多, 测试环境复杂而困难, 测试方法主要是测试仪器和测试人员之间相互交流协作能力和测试人员之间通信协作能力等。测试要求严格, 测试人员需要通过编程软件来进行测试计算和测试决策等, 从而能完成相应测试任务。

3.4.1 器件特性

在 SCANSOCK 单片机中, 电路结构可以通过使用的器件特性(电路器件特性)进行定义。对于逻辑寄存器, 电路中各寄存器可以相互独立运行。同时在电路结构时, 对每个寄存器所用寄存器进行定义, 可以直接用 MXE (MOS) 语言写出一个写在内存中的寄存器。对于逻辑元件来说, 每个寄存器在逻辑中都具有独立运行的条件^[3]。在这些条件下, 单个寄存器可以作为逻辑元件运行。

3.4.2 性能指标

该芯片在测试时主要通过两个方面来实现性能指标:

①芯片中的 MOS 运放器件设计是否合理, 它的性能指标体现了对电路优化设计中的一些重要指标与参数。从测试结果看, 该芯片性能良好。MOS 运放器件内部各逻辑寄存器之间相互配合实现了相互通信, 使 SCANSOCK 单片机具有很强的可扩展性和可靠性。为保证系统整体的安全性, 器件内部进行了严格加密设置, 且每个逻辑寄存器的长度都达到 200 个字节。当器件之间交换的数据比较频繁时, 一个寄存器之间可以交换很多条数据。②器件封装后是否经过严格测试确保器件各项性能指标正常(特别是器件内部封装是否经过测试而没有经过测试)。在不同的电路工作时, 每个逻辑控制寄存器内部会存在数量不等的可拆卸寄存器或电平中断。一旦遇到电路错误便会产生一定数量的电平中断。

3.4.3 控制结构

SCANSOCK 单片机控制结构主要包括四个控制寄存器, 其中逻辑寄存器为系统所需的运算单元。SCANSOCK 单片机逻辑寄存器通过引脚定义逻辑, 并且在引脚定义好后将其放在对应的逻辑寄存器中, 并将其存储在逻辑中。SCANSOCK 单片机控制结构是由 16 个逻辑寄存器、4 个控制寄存器和 1 个逻辑寄存器组成。这 4 个逻辑寄存器均

是用来存储 8 位或 16 位逻辑信息中所有寄存函数或信息值。同时, SCANSOCK 单片机使用相应引脚来标识特定逻辑通道中所有寄存器。当某一个逻辑通道中有足够多逻辑寄存器时, 在寄存器之前即可指定其中一个逻辑通道中所有逻辑模块; 如果在寄存器之后仍没有足够多逻辑寄存器时, 则从寄存器之后取一个逻辑类型存放在寄存器之前即可指定此逻辑类型。通过 SCANSOCK 单片机在芯片中指定 SCANSOCK 寄存器中相应逻辑类型, 则在寄存器之后选取逻辑类型, 从而实现对寄存器对应逻辑模块寄存信息点(即代码)的存取控制。

3.4.4 工作参数

芯片的工作参数主要有工作电压、工作频率时钟等。工作电压主要用 VB 表示, 电压为 1~6 V 为输入电压, 为 10~32 V 为输出电压。工作电流为 1~10 mA, 参考电压为 0~8 V, 可满足电源的要求; 工作频率为 0~60 Hz 和工作频率为 60~800 kHz 为输入频率和工作频率, 可满足电源要求; 工作频率为 8~100 MHz 为输出电压, 参考电压为 1~10 mA; 工作频率为 1~8 MHz、工作频率为 40~100 MHz 为输入频率; 工作频率为 20 MHz 起; 工作频率为 40~600 kHz 为输出电压, 参考电压可满足要求; 工作频率为 60~800 kHz 为输入功率, 参考功率为 10 kHz 起; 工作频率为 40~800 kHz 为输入功率, 参考电压为 10~500 kHz 工作频率为输入功率参考电压可满足要求。电压可根据实际情况选择相应的微处理器工作参数测试仪器或设置自动调整输入信号电压来调节输出信号功率。测试完成后直接在芯片上进行调试。

4 结语

大多数的集成电路都会有一定数量的匹配器件(晶体管、电阻和电容), 在很大程度上匹配的精度与版图面积成正比, 并且所需花费的时间也会增加。如何布局这些需要匹配的器件的方法是非常多, 在版图设计中, 根据电路的实际要求, 采取适合的匹配方法, 以提高器件的匹配性。

参考文献

- [1] 薛梦驰. 成缆效应和测试条件对光纤 PMD 的影响[J]. 光纤与电缆及其应用技术, 1998(5): 15-20.
- [2] 黄友锐, 魏庆农, 赵晓东, 等. PLC 和 IPC 组成的新型成缆机控制系统[J]. 电子与自动化, 2000(1): 3.
- [3] 杨俊杰, 翟书宾, 赵东旭. 成缆工序对光缆拉伸性能的影响[J]. 光纤与电缆及其应用技术, 2012(2): 4.