 DOI: https://doi.org/10.12349/iser.v5i3.2267

Design of Implementation of Graphics Generation Circuit Based on FPGA and DSP

Dongning Li Xiaoyong Zhang

Beijing Qingyun Aviation Instrument Co., Ltd., Beijing, 101399, China

Abstract

Backup display as a kind of airborne display equipment, with low power consumption, small size, light weight and other characteristics, at the same time, compared with multi-function display, the screen content is more concise, only need to achieve 2D graphics generating, display size is small, resolution generally does not exceed 640×480ppi, so there is no need for high graphics processing performance. The paper proposes a design scheme for a graphics generation circuit, which uses FPGA and DSP to form a processing unit. Combining the characteristics of FPGA and DSP, the DSP describes the image to be generated, issues a drawing instruction set to FPGA for execution, and utilizes the parallel execution characteristics of FPGA to process a large number of simple and complex graphics drawing and pixel filling. Compared with graphics processing circuits based on CPU and dedicated graphics processors, this scheme simplifies peripheral circuits while reducing system power consumption, and has been well applied in backup displays.

Keywords

FPGA; DSP; graphics drawing

基于 FPGA 和 DSP 的图形生成电路的设计实现

李冬宁 张小永

北京青云航空仪表有限公司，中国 · 北京 101399

摘 要

备份显示器作为一种机载显示设备，具有功耗低、体积小、重量轻等特点，同时，相比多功能显示器，其画面内容更简洁，只需实现2D图形生成，显示尺寸较小，分辨率一般不超过640×480ppi，因此无需较高的图形处理性能。论文提出了一种图形生成电路设计方案，采用FPGA和DSP组成处理单元，结合FPGA和DSP各自特性，由DSP对拟生成图片进行描述，下发绘图指令集给FPGA执行，利用FPGA的可并行执行特点处理大量简单重复的图形绘制及像素填充，相比基于CPU和专用图形处理器构成的图形处理电路，在简化外围电路的同时，也降低了系统功耗，在备份显示器中得到良好的应用。

关键词

FPGA；DSP；图形生成

1 引言

现代航空电子系统中，座舱显示系统是机组人员与飞机的重要组成接口，座舱显示系统包含不同功能的显示设备。随着电子技术的不断进步，座舱显示设备集成度越来越高，只需少量大尺寸主飞行显示器或多功能显示器即可显示飞机的多种信息，而备份显示器作为备份显示设备，主要用于备份测量和显示飞机姿态、高度、马赫数等重要信息，以保证飞行员能够安全、正确地操纵飞机 [1]。主飞行显示器显示分辨率较高，可支持 2D 及更复杂的 3D 图形处理及显示，同时对处理器的性能要求较高，主流的技术方案通常采用 CPU+GPU（专用图形处理器）实现 3D 图形处理。备份显示器具有体积小、功耗低等特点，只需处理 2D 图形显示，显示图形相对简单，如采用与多功能显示器相同的 CPU+GPU 处理架构，图形处理性能过剩，功耗较大，且采用专用 GPU 成本较高。随着芯片技术的发展，具有大规模并行处理能力的 FPGA 和多核 DSP 的出现，利用 DSP+FPGA 架构设计符合特定用途的图形处理模块将是图形处理的一种发展趋势 [2]。

DSP 具有较好的运算处理能力，通过 DSP 控制 FPGA 进行图形绘制，编写统一的图形 API，增加了上层软件的可移植性，为后续需求更改及维护提供了便利；FPGA 的并行处理结构非常适合数据量大，处理速度高、运算结构单一、运算重复性等特点的图形处理算法，进行图形绘制硬件加速，随着国产 FPGA 的快速发展，利用高集成度、高速的国产 FPGA 实现了针对机载显示系统的国产化图形处理芯片，采用 FPGA 作为系统的核心，还具备降低系统复杂度、

【作者简介】李冬宁（1990–），男，中国河北晋州人，硕士，工程师，从事FPGA及电子电路设计研究。

提高设计的灵活性、降低系统功耗、便于移植的特性 [3]。

2 系统架构

图形生成电路主要由 FPGA+DSP 构成图形处理单元，如图 1 所示，其中 DSP 主要负责对拟绘制的图形进行描述，即对拟绘制的图片进行元素拆分，并生成绘制指令集，发送给 FPGA 处理。FPGA 实现 GPU（图形处理器）作图以及显示驱动功能，首先根据 DSP 的绘图指令，进行图元绘制、颜色填充、图元拼装、坐标变换等操作，完成所有图形绘制，由于图形绘制算法多是需要简单并行的算法，因此 FPGA 的并行特性非常适合处理图形绘制算法，FPGA 还实现液晶屏接口时序，驱动液晶屏显示画面。FPGA 还实现其他输入输出接口的处理，包括按键、维护接口通讯等；图库用于存储绘图所需的基本图形数据、字符库等，一般采用 FLASH 作为存储介质，与 FPGA 相连，上电后读取一次，掉电后数据非易失；显存用于缓存 FPGA 绘图产生的中间数据，一般采用大容量 DDR3 作为存储介质，由于 DDR3数据读写速率高，能够保证运行流畅。

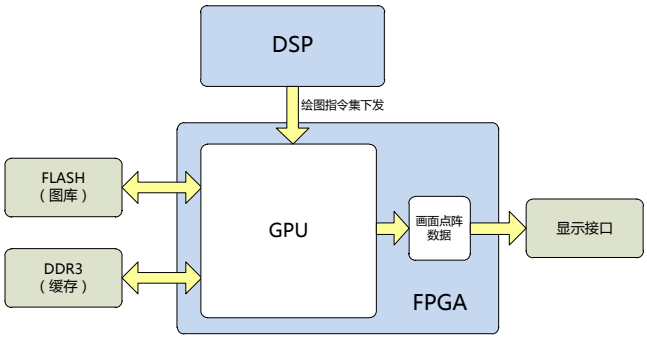

图 1 FPGA+DSP 图形处理架构

3 硬件电路设计

基于 FPGA+DSP 图形生成电路主要器件组成如图 2 所示，按照功能可分为复位电路、DSP 控制电路、FPGA 处理电路、图库存储电路、显示接口电路五部分。

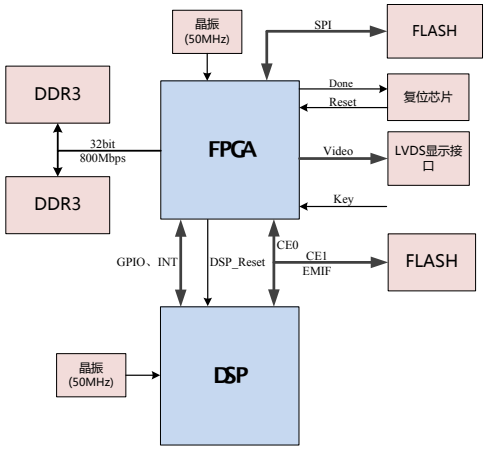

图 2 图形生成电路硬件组成

3.1 复位电路设计

复位电路为系统提供一个初始状态。如图 2 所示，将复位芯片的输出连接至 FPGA，由 FPGA 协同系统复位，输出复位信号给 DSP，实现 DSP 的复位要求。上电后，首先等待 FPGA 完成配置文件加载后，Done 信号输出高电平，复位芯片延时 200ms 后输出 Reset 信号。当 FPGA 采集到 Reset 信号为低时，进行 FPGA 内部数据初始化，并产生复位信号 DSP_Reset，此时 DSP 进行复位，两个处理芯片全部复位完成后，开始正常工作。

3.2 DSP 控制电路

DSP 控制电路中 DSP 采用 TI 公司的 TMS32C6713，其浮点处理能力为 1500MFLOPS，定点处理能力为 2000MIPS，主频为 250MHz，具有外部存储接口 EMIF，支持 32 位外部存储器接口，通过 EMIF 接口可访问 FPGA 以及 FLASH，实现程序加载以及与 FPGA 的数据通信。EMIF 具有四个片选信号端口 CE0~CE3，其中 CE1 片选存储 DSP 程序的 FLASH，用于 DSP 程序读写，CE0 片选 FPGA，用于和 FPGA 进行数据通信。具体数据线、地址线、控制信号交联方式如图 3 所示。

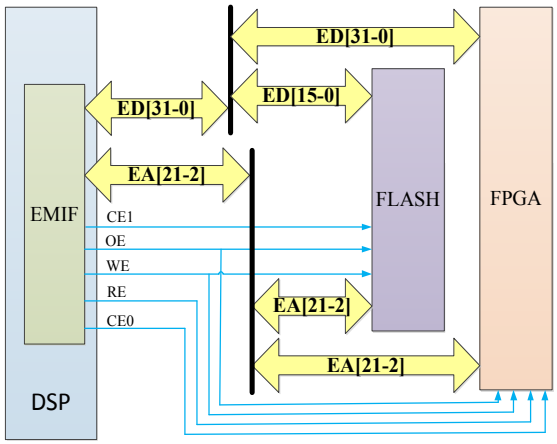

图 3 EMIF 接口交联原理图

3.3 FPGA 处理电路

图形生成电路对 FPGA 所需接口及逻辑资源较多，为满足图形绘制性能需求，FPGA 选用 Xilinx 公司的 XQ7K325T，内部可编程资源非常丰富，其中包含 840 个数字信号处理器、445 个 36Kb 的 BRAM、326080 个逻辑单元、10 个 CMT、1 个 PCIE2.1、16 个 GTX 等可编程资源、可实现高性能数字信号处理、大容量的逻辑运算等应用，具有高带宽的数据吞吐能力。FPGA 处理电路功能框图如图 4 所示。

DDR3 用于存储图片数据。根据系统性能要求，显存设计为 512MB，型号选用深圳国微电子的 SM41J256M16M，单片存储容量为 256MB，实际读写时钟频率为 800MHz，数据读写速率为 1600Mbps，数据总线位宽为 16bit，单片 DDR3 数据传输带宽可达 3200MB/s。系统中需要处理的视频最高分辨率为 640×480，单帧视频数据包含约 307200 个

数据点，每个数据点占 32bit 存储空间，即一帧视频约占 1200KB 存储空间。因此单片 DDR3 视频缓存芯片最少可存储 218 帧视频数据，可满足图形绘制算法的存储需求和实时性要求。

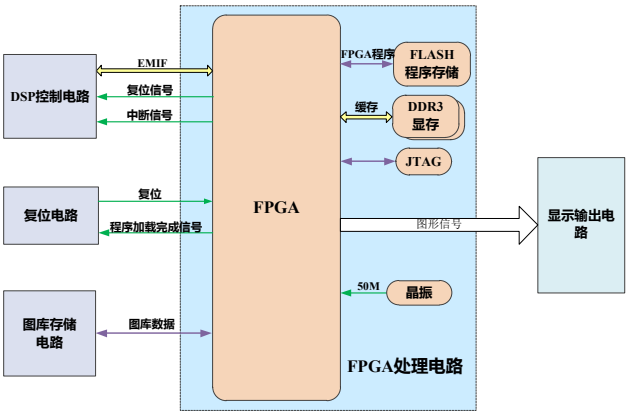

图 4 FPGA 处理电路功能框图

FPGA 对于 DDR3 的读写控制使用 xilinx 提供的 Memory Interface Generator 2.3（MIG 7 Series）IP 核实现 [4]，如图 5 所示。MIG 完成对 DDR3 的硬件控制，并为用户逻辑提供 AXI 总线的访问接口。MIG 包括用户接口、存储器控制器、初始化和校准模块、物理层接口。用户接口用于连接系统控制模块；存储器控制器实现 DDR3 的主要读 / 写时序和数据缓存交互；初始化和校准模块实现 DDR3 芯片的上电初始化配置以及时序校准；物理层接口实现和 DDR3 芯片的接口。

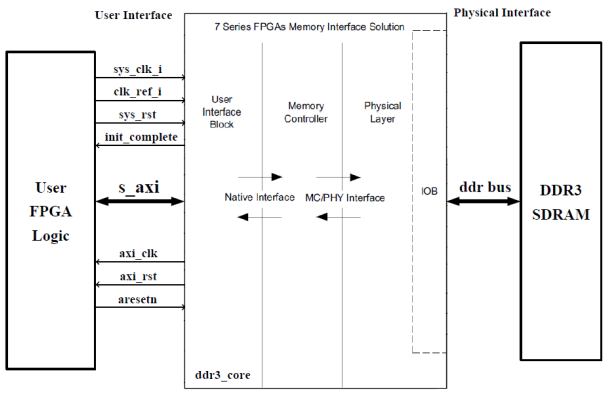

图 5 MIG 原理框图

3.4 图库存储及显示接口电路

图库存储电路通过 FLASH 存储器 SM25QH256MX 存储图形显示所需的字符及复杂图形，上电后 FPGA 将存储在 FLASH 中的数据读取到 DDR3 中，可减少上层应用程序调用字符的时间，提高系统性能。SM25QH256MX 容量为 256Mbit，最大工作频率为 133M Hz，FPGA 通过时钟将指令、地址、数据串行输入 FLASH 内部，经过内部控制逻辑处理后，按照指令要求对 FLASH 进行读写操作。

显示接口电路通过 LVDS 转换芯片 GM8283 将 FPGA 输出的 RGB 信号转换为 LVDS 信号，该芯片为 28 位可编程并 / 串转换器，其中 24 位为输入的 RGB 数据，3 位为输入的控制信号，可输出三路 LVDS 数据和一路 LVDS 时钟。

4 图形生成软件设计

图形生成软件包含 FPGA 软件及 DSP 软件，其中 DSP 软件负责图形描述部分，通过外部指令生成绘图指令，控制 FPGA，FPGA 软件实现图形处理器模块，实现各类图形生成算法。

DSP 软件包含绘图程序及中断程序，FPGA 软件包含绘图命令解析模块、绘图功能模块及绘图执行模块三部分。DSP 软件向 FPGA 软件中的绘图命令解析模块发送绘图指令，绘图命令解析模块将其解析为相应的绘图操作控制流，并分发给绘图功能模块中的各绘图算法模块，绘图算法包含图元绘制、像素填充、旋转变换等。

5 测试及对比

通过专用试验设备对搭载 FPGA+DSP 架构图形处理板的备份显示器发送测试数据，主画面图形及字符纹理清晰，其显示效果相比原 CPU+GPU 架构图形处理板基本保持一致，满足备份显示器的显示功能需求；功耗方面，实测 FPGA+DSP 图形生成电路及 CPU+GPU 图形处理电路常温功耗，FPGA+DSP 架构图形处理板功耗有明显下降。功耗对比见表 1。

表 1 功耗对比表

图形处理电路	输入电压（V）	消耗电流（A）	功耗（W）
FPGA+DSP	5	0.63	3.15
CPU+GPU	5	0.85	4.25

6 结论

论文设计的机载图形生成电路采用基于 FPGA+DSP 处理架构，与传统图形处理所采用的 CPU+GPU 架构相比，硬件电路更为精简，成本更低。图形软件无需运行操作系统，由 DSP 生成控制指令，控制 FPGA 执行接口处理、图形绘制、控制液晶屏画面显示等操作，在绘图效果相同的情况下降低了系统功耗。论文设计的机载图形生成电路能够满足飞机对于备份显示器的高可靠性、高实时性、低功耗、体积小的要求，已应用于实践当中。

参考文献

[1] 陈凯.某型航空备份仪表的大气数据系统设计[D].西安:传感技术学报,2006.

[2] 李孟华.DSP+FPGA结构的嵌入式图形处理设计[D].西安:航空计算技术,2013.

[3] 王栋.基于FPGA的飞机座舱综合显示系统关键技术研究[D].南京:南京航空航天大学,2014.

[4] Xilinx. Zynq-7000 SoC and 7 Series Devices Memory Interface Solution v4.2[R]. USA: Xilinx, 2018.